



**Europäisches  
Patentamt**

**European  
Patent Office**

**Office européen  
des brevets**

**Bescheinigung**

**Certificate**

**Attestation**

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

**Patentanmeldung Nr.    Patent application No.    Demande de brevet n°**

02425727.1

Der Präsident des Europäischen Patentamts;  
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets  
p.o.

**R C van Dijk**

**THIS PAGE BLANK (USPTO)**



Anmeldung Nr:  
Application no.: 02425727.1  
Demande no:

Anmeldetag:  
Date of filing: 28.11.02  
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

STMicroelectronics S.r.l.  
Via C. Olivetti, 2  
20041 Agrate Brianza (Milano)  
ITALIE

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:  
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.  
If no title is shown please refer to the description.  
Si aucun titre n'est indiqué se referer à la description.)

Single cell erasing method for recovering cells under programming disturbs in non  
volatile semiconductor memory devices

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)  
revendiquée(s)  
Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/  
Classification internationale des brevets:

G11C/

Am Anmeldetag benannte Vertragstaaten/Contracting states designated at date of  
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR IE IT LI LU MC NL  
PT SE SK TR

**THIS PAGE BLANK (USPTO)**

Titolo: Metodo di cancellazione a cella singola per il recupero di celle di memoria soggette a disturbi in programmazione in dispositivi elettronici di memoria non volatile a semiconduttore.

5

## DESCRIZIONE

### Campo di applicazione

La presente invenzione fa riferimento ad un metodo di cancellazione a cella singola per il recupero di celle di memoria soggette a disturbi in programmazione in dispositivi elettronici di memoria non volatile a semiconduttore.

10

Più in particolare, ma non esclusivamente, l'invenzione riguarda un metodo di recupero di celle di memoria che presentano variazioni di soglia rispetto ad un valore originario in dispositivi di memoria non volatile di tipo Page-Flash. La descrizione che segue è fatta con riferimento a questo specifico campo di applicazione con il solo scopo di semplificarne l'esposizione.

15

### Arte nota

Com'è ben noto in questo specifico campo di applicazione, uno dei problemi di affidabilità delle memorie Flash è legato a singoli bit che si spostano dal valore di soglia originale a seguito degli stress a cui sono sottoposti durante la vita operativa dei dispositivi di memoria.

20

Ad esempio, una cella di memoria programmata al valore logico "0" con una predeterminata soglia può spostarsi verso una soglia più bassa dopo aver subito uno stress durante la fase di programmazione.

25

In generale, se un valore bit che si è mosso verso una soglia inferiore dopo aver subito uno stress di programmazione può essere selettivamente riprogrammato e riportato al valore di soglia iniziale, non è così facile riportare a soglia più bassa un bit che si sia mosso verso valori di soglia più elevati.

Attualmente, la tecnica nota non propone alcuna soluzione che consenta di riportare selettivamente all'interno di una distribuzione di valori "1" i bit cancellati la cui soglia sia salita e sia stata rilevata da una fase di erase-verify.

Questa variazione verso valori più elevati di soglia si può presentare ad esempio durante un disturbo in lettura nelle memorie flash a programmazione e cancellazione elettrica.

Questo fenomeno si è osservato anche in celle che hanno subito un drain stress da programmazione in memorie flash programmate per pagina o settore. Matrici di celle di questo tipo sono descritte ad esempio nel brevetto US No. 6,133,604.

Il problema tecnico che sta alla base della presente invenzione è quello di escogitare un metodo di cancellazione avente caratteristiche tali da consentire di ridurre selettivamente il valore di soglia di celle di memoria la cui soglia sia salita, rispetto al valore originario, in seguito a stress o disturbi avvenuti in fase di utilizzo. Ciò consentirebbe di allungare la vita utile dei dispositivi di memoria incorporanti celle suscettibili a questa problematica.

#### Sommario dell'invenzione

L'idea di soluzione che sta alla base della presente invenzione prevede di eseguire una cancellazione selettiva bit per bit delle celle di memoria applicando ad ogni singola word line una tensione negativa, già utilizzata durante la cancellazione di un intero settore, e sul terminale di drain di ogni singola cella la tensione di programmazione.

Con questo tipo di polarizzazione selettiva risulta possibile effettuare una cancellazione a singola cella, o bit a bit, consentendo di recuperare tutte le celle eventualmente soggette ad un disturbo che ne abbia alterato verso l'alto il valore di soglia originario.

Sulla base di questa idea di soluzione il problema tecnico è risolto da un

metodo del tipo precedentemente indicato e definito dalla parte caratterizzante della rivendicazione 1 qui allegata.

5 Le caratteristiche ed i vantaggi del metodo secondo la presente invenzione risulteranno dalla descrizione, fatta qui di seguito, di un suo esempio di realizzazione dato a titolo indicativo e non limitativo con riferimento ai disegni allegati.

#### Breve descrizione dei disegni

- 10 - la figura 1 mostra su un diagramma tensione-tempo un insieme di curve caratteristiche che illustrano l'evoluzione della tensione di soglia  $V_{th}$  di una cella di memoria al variare delle tensioni di polarizzazione applicate ai terminali di drain e di bulk della cella, per un' fissata tensione di gate negativa;
- 15 - la figura 2, ad esemplificazione della problematica, mostra su un diagramma tensione-tempo l'evoluzione della distribuzione della tensione di soglia  $V_{th}$  di un intero settore di memoria a seguito di uno stress sul terminale di drain delle celle;
- la figura 3 mostra uno schema a blocchi schematici che illustra il metodo di cancellazione della presente invenzione come successioni di fasi tipiche di un diagramma di flusso.
- 20 - La figura 4 mostra una distribuzione di celle cancellate con i livelli di verifica del cancellato (EV), quello di verifica per i bit da doversi recuperare con cancellazione selettiva (EV+margin), e, infine, il livello di fallimento in lettura (Read Fail).

#### Descrizione dettagliata

25 La presente invenzione si applica vantaggiosamente ad un dispositivo elettronico di memoria non volatile, ad esempio del tipo Flash EEPROM, programmabile e cancellabile elettricamente.

Per dispositivo di memoria si intende un qualunque sistema elettronico integrato monoliticamente su semiconduttore ed incorporante una  
30 matrice di celle di memoria, organizzate in righe e colonne, nonché

porzioni circuitali associate alla matrice di celle e preposte alle funzioni di indirizzamento, di decodifica, di lettura, scrittura e cancellazione del contenuto delle celle di memoria.

5 Un dispositivo di questo genere può essere appunto un chip di memoria integrato su semiconduttore e del tipo Flash EEPROM non volatile suddiviso in settori e cancellabile elettricamente.

Ciascuna cella di memoria comprende un transistor a floating gate con terminali di source, drain e control gate.

10 Tra le porzioni circuitali associate alla matrice di celle è prevista la presenza di una porzione circuitale di decodifica di riga associata a ciascun settore ed alimentata da specifiche tensioni positive e negative generate internamente al circuito integrato di memoria mediante survoltori o pompe di carica e regolate tramite relativi regolatori di tensione.

15 I principi della presente invenzione sono applicati ad un dispositivo integrato di memoria in cui sia possibile decodificare la tensione negativa sulle singole word-lines, ove cioè sia possibile applicare la tensione negativa alle singole word-line in modo selettivo. A titolo di esempio, ma non esclusivo, ciò è possibile in dispositivi di tipo PAGE  
20 Flash. L'invenzione consente di rimediare ad un'eventuale cambio di soglia di alcune celle di memoria avvenuto successivamente alla loro programmazione a causa di disturbi o di stress di programmazione.

Vantaggiosamente, secondo l'invenzione, si è pensato di effettuare una cancellazione applicando ad una singola word line la tensione negativa  
25 utilizzata durante la fase di cancellazione di un settore.

Inoltre, il terminale di drain è polarizzato con la tensione di programmazione.

30 In una forma preferita di attuazione, ancorché non limitativa, anche al terminale di bulk della cella, che corrisponde ad una regione di ipwell, viene applicata la tensione di programmazione.

Questa modalità di cancellazione è facilmente implementabile sulle



## BEST AVAILABLE COPY

memorie non volatili di tipo Page-Flash poiché esse già dispongono della possibilità di decodificare la tensione negativa sulle word-line, ma può essere esteso ad altre famiglie di memorie, purché si introduca la possibilità di decodificare la tensione negativa.

- 5 Le memorie Page-Flash, tra l'altro, sono proprio una famiglia di prodotti pesantemente esposti al problema dello stress sui terminali di drain quando il valore logico memorizzato nella cella è un "1" logico.

10 L'invenzione prevede dunque uno schema di polarizzazione che consente una cancellazione selettiva e un algoritmo di recupero all'interno di una memoria.

15 Da un'analisi elettrica svolta presso la Richiedente su celle di memoria in tecnologia T7Y risulta possibile eseguire una cancellazione applicando al terminale di gate di una data cella la tensione utilizzata durante la cancellazione di un intero settore (-9V) e al terminale di drain della stessa cella la tensione utilizzata durante la programmazione (+4.2V). Gli altri terminali della cella sono mantenuti ad un potenziale di massa.

20 Un'eventuale polarizzazione negativa del substrato, vale a dire della regione di bulk della cella, utilizzando la tensione utilizzata in programmazione (-1.2V), consente eventualmente di accelerare questa operazione di cancellazione.

25 Da quanto precede risulta evidente che questo tipo di cancellazione avviene non solo per effetto tunneling Fowler-Nordheim, ma anche attraverso l'iniezione di lacune nella regione di floating gate. Queste lacune sono prodotte per moltiplicazione nella regione di drain.

Nella figura 1 è mostrato un diagramma tensione vs. tempo che illustra diverse curve di cancellazione per diverse combinazioni di tensione di drain  $V_d$  e tensione di bulk  $V_b$ .

30 Le misure si riferiscono ad una medesima cella singola, realizzata preferibilmente in tecnologia T7Y. Le misure sono ripetute a partire da diversi valori di soglia  $V_{th}$ .

Questo schema di tensioni applicabili consente di cancellare le celle bit per bit in array o matrici di celle FLASH che sono normalmente cancellabili solo per settore.

5 È interessante notare che il meccanismo fisico di cancellazione qui proposto non richiede necessariamente un'ottimizzazione del profilo di giunzione, ad esempio un impianto fosforo aggiuntivo, che peraltro non sarebbe compatibile con la dimensione della gate delle celle FLASH delle attuali generazioni.

10 A titolo esemplificativo e non esclusivo, vediamo ora come il metodo della presente invenzione viene applicato in memorie Page-Flash.

Analizziamo dapprima il caso del recupero di celle programmate a valore logico "1" (soglia bassa) e soggette ad un disturbo in programmazione.

15 Il metodo di cancellazione selettiva sopra descritto può essere utilizzato per far fronte al problema del drain stress che risulta particolarmente critico per la struttura di un array o matrice di tipo PAGE.

Infatti, per questo genere di Flash, durante la fase di programmazione le celle appartenenti alla colonna selezionata vengono sottoposte ad un prolungato drain stress a causa delle seguenti polarizzazioni:  $V_d = V_d$  program,  $V_b = V_b$  program,  $V_g = V_s = 0V$ . Questa polarizzazione può essere  
20 protratta per un tempo massimo complessivo di:

$$[\# \text{ cicli max/byte}] \times [\# \text{ celle appartenenti alla colonna } i] \times [\text{tempo di program}]$$

Il problema è ben evidenziato da misure di drain stress su un array FLASH, come illustrato in figura 2.

25 Nella figura 2 è mostrata l'evoluzione di una distribuzione di tensioni di soglia  $V_{th}$  di un settore da 0.5 Mbit di celle, a partire da una configurazione in cui tutte le celle sono state programmate al valore logico "1".

I valori di polarizzazione sono:  $V_d = 4.2V$ ;  $V_b = -1.2V$ ;  $V_g = 0V$ .

L'array di celle Page-Flash dispone già di una decodifica di riga che consente di portare la tensione negativa sulla singola word line.

5 In sostanza, per implementare il metodo della presente invenzione, è sufficiente inserire all'interno del già consolidato algoritmo di cancellazione, illustrato dallo schema a blocchi di figura 3, una nuova fase descritta qui di seguito.

10 Viene dapprima effettuata una ricerca, all'interno di un blocco selezionato, dei bit colpiti da drain stress, ma ancora verificati nello stato "1". In sostanza, si tratta di rintracciare quei bit, vale a dire quelle celle, la cui tensione di soglia  $V_{th}$  si trova leggermente al di sopra dell'erase-verify (si veda figura 4 → DA AGGIUNGERE).

Tali bit vengono identificati tramite una verifica con un riferimento di tensione pari alla tensione di erase-verify + un margine, ad esempio di 200mV.

15 Questo margine deve essere sufficientemente grande da poter per tener conto dell'indeterminazione nella operazione di verifica della cancellazione. Al contempo, però, deve essere sufficientemente piccolo da permettere di identificare i bit che si stiano spostando a soglia più alta prima che questi causino un fallimento nella lettura dell' "1".

20 Successivamente, una cancellazione selettiva da drain i questi bit che sono risultati falliti dalla precedente fase di lettura (verify) consente di riportare tali bit all'interno della distribuzione di valori logici "1".

25 Infine, una successiva verifica standard, tramite la fase di erase-verify, consente di verificare l'avvenuta cancellazione e l'effettiva tensione di soglia  $V_{th}$  risulti all'interno della distribuzione cancellata.

Ovviamente, l'algoritmo proposto ha una durata maggiore del semplice algoritmo di cancellazione; tuttavia, la durata complessiva della fase aggiuntiva non è superiore al ms.

30 Supponiamo infatti che la fase di verifica del blocco richieda nel caso peggiore, in cui tutte le celle siano nello stato logico "1", circa 0,6 ms.

Questo valore viene infatti ricavato supponendo di avere blocchi da 512 righe e 32 colonne; ogni verifica richiede circa 40 ns da cui:  $40\text{ns} \times 512 \times 32 = 0,6 \text{ ms}$ .

5 A questa durata va sommata la fase di recupero, per cui possiamo stimare una durata di 10-100us per cella, come riportato dai tempi di figura 1. È ragionevole pensare che la stessa operazione risulti più veloce su celle con architettura Page-Flash, in quanto queste celle sono ottimizzate per la cancellazione.

10 Poiché l'algoritmo di recupero viene ripetuto ad ogni cancellazione, si può assumere che solo poche celle richiedano tale impulso di cancellazione. Quindi la durata complessiva della fase aggiuntiva (verifica + recupero) risulta inferiore al millisecondo.

15 Il metodo secondo l'invenzione risolve efficacemente il grave problema della deriva della soglia delle celle di memoria in seguito a disturbi di lettura o di stress di programmazione e consente di recuperare molte celle che sarebbero soggette a permanenti condizioni di fallimento.

## RIVENDICAZIONI

1. Metodo di cancellazione a cella singola per il recupero di celle di memoria soggette a disturbi in lettura o in programmazione, in dispositivi elettronici di memoria non volatile a semiconduttore comprendenti matrici di celle suddivise in settori e organizzate in righe, o word lines, e colonne, o bit lines, del tipo in cui è prevista l'applicazione di un algoritmo di cancellazione a settori con successiva fase di verifica (erase - verify), caratterizzato dal fatto di prevedere una cancellazione bit a bit applicando ad ogni singola word line una tensione negativa utilizzata durante la cancellazione di un intero settore e sul terminale di drain di ogni singola cella una tensione di programmazione.
2. Metodo secondo la rivendicazione 1, caratterizzato dal fatto di essere applicato alle celle che risultano avere una soglia superiore a quella originaria.
3. Metodo secondo la rivendicazione 1, caratterizzato dal fatto di prevedere ulteriormente una polarizzazione ad un valore di tensione negativa del substrato delle celle o del terminale di bulk della cella.
4. Metodo secondo la rivendicazione 1, caratterizzato dal fatto di prevedere dapprima una fase di ricerca di quali celle presentino una tensione di soglia superiore rispetto al valore originario ed una successiva fase di applicazione di detta cancellazione bit a bit.
5. Metodo secondo la rivendicazione 1, caratterizzato dal fatto che una successiva fase di erase - verify è effettuata dopo la cancellazione bit a bit.
6. Metodo secondo la rivendicazione 1, caratterizzato dal fatto che detta matrice di celle è una matrice di tipo Page-Flash.

## RIASSUNTO

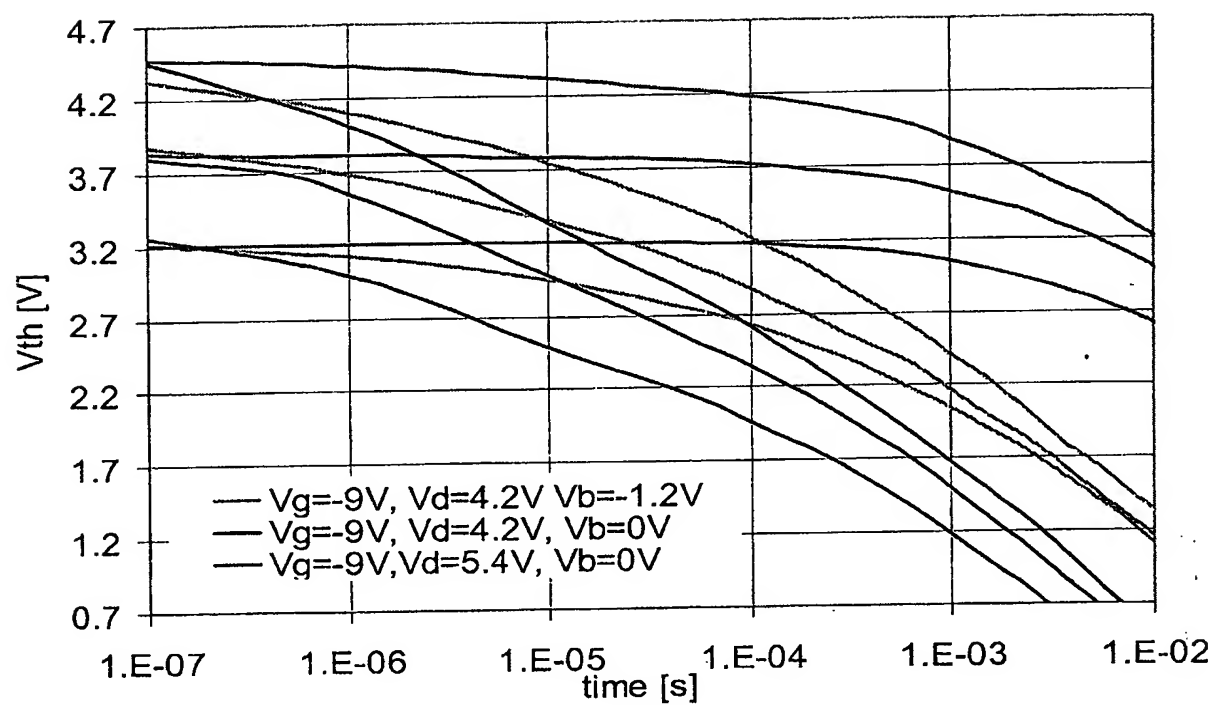
La presente invenzione riguarda un particolare metodo di cancellazione a cella singola per il recupero di celle memoria soggette a disturbi in lettura o in programmazione in dispositivi elettronici di memoria non volatile a semiconduttore comprendenti matrici di celle suddivise in settori e organizzate in righe, o word lines, e colonne, o bit lines.

Il questo genere di dispositivi di memoria è normalmente prevista l'applicazione di un algoritmo di cancellazione a settori con successiva fase di verifica (erase - verify); ma il metodo della presente invenzione prevede una cancellazione bit a bit applicando ad ogni singola word line una tensione negativa utilizzata durante la cancellazione di un intero settore e sul terminale di drain di ogni singola cella una tensione di programmazione.

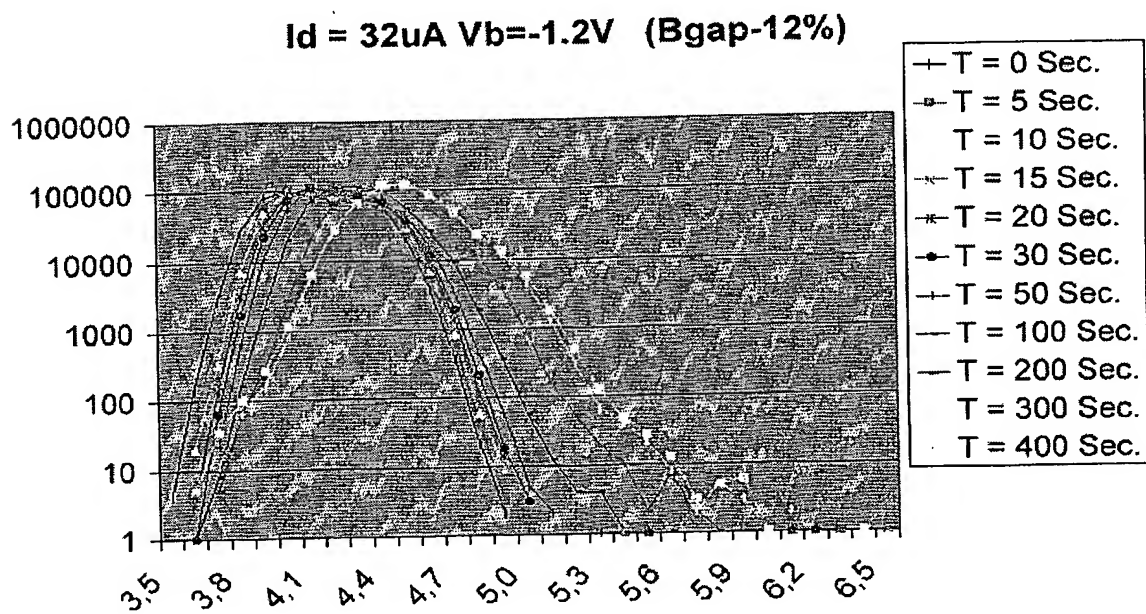
Con questo tipo di polarizzazione selettiva risulta possibile effettuare una cancellazione a singola cella, o bit a bit, consentendo di recuperare tutte le celle eventualmente soggette ad un disturbo di lettura o di programmazione che ne abbiano alterato verso l'alto il valore di soglia originaria.

20

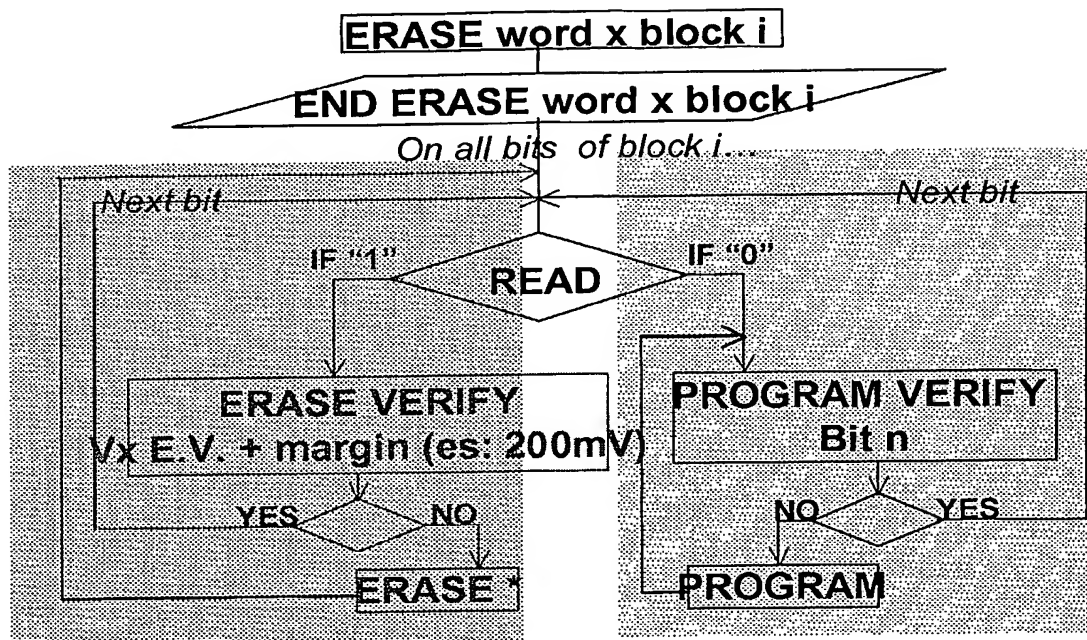
(Fig. 3)



**FIG. 1**

**FIG. 2**

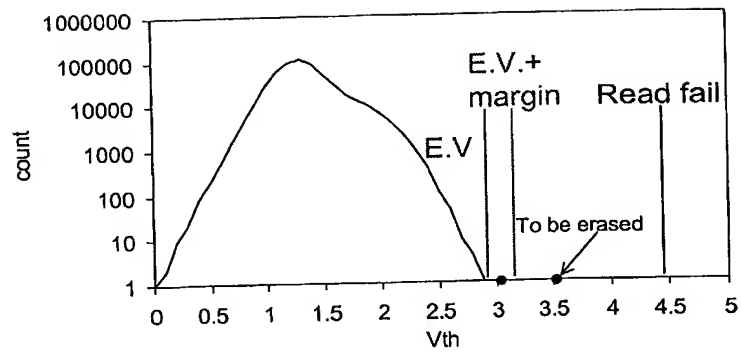




During this cycle the critical "1" bit are identified and erased down to erase verify

During this cycle the critical bit "0" are identified and programmed up to program verify

FIG. 3

**FIG. 4**